

2024 Academic Seminar

Advanced Circuit Design in the FinFET Era

指導單位  教育部

主辦單位  | ACADEMIC & RESEARCH ALLIANCES  教育部先進製程IC設計人才培育計畫
MOE Talent Cultivation Project for Advanced IC Design

協辦單位  國家實驗研究院
台灣半導體研究中心
Taiwan Semiconductor Research Institute

| 活動目的

FinFET（鰭式場效電晶體）的出現對積體電路物理設計具有重大影響。此次研討會特別針對學界使用者設計，旨在促進最新技術與學術研究的交流，提升對於FinFET技術在電路設計中的應用理解。

本次活動包含主題演講以及技術工作坊。上午場專題演講將深入介紹FinFET技術的基本原理、當前應用以及未來發展趨勢，並探討其在現代數位及類比電路設計中的優勢和挑戰，此外，半導體產業對於具備先進電路設計能力的人才需求日益增加，莘莘學子如何準備因應，將能夠更好地應對FinFET技術帶來的挑戰，也是此次專題演講將探討的主軸。

下午場的技術工作坊，講師將分享在FinFET時代下，先進電路設計所面臨的挑戰與機會，並探討創新設計方法如何應對這些挑戰，同時將指導學員使用新思科技的數位及類比設計工具進行設計與優化，並分享在實際設計過程中的經驗與技巧。

我們誠摯期待您的參與，共同探討FinFET技術在電路設計中的應用與未來發展。

活動詳情

時間：113年8月29日(四)，10:00 ~ 16:00

地點：

- 上午場：台灣半導體研究中心2樓國際會議廳
- 下午場：國立陽明交通大學（光復校區）工程四館219、220教室

主辦單位：

Synopsys Academic & Research Alliances (SARA)、教育部先進製程IC設計人才培育計畫

協辦單位：國家實驗研究院台灣半導體研究中心

指導單位：教育部

適合對象：

- 優先開放國內大專校院電機、電子、資工及相關科系在學生報名參加（含應屆畢業生）。
- 如仍有名額，開放有興趣之在職人士及其他科系學生報名。

報名方式：請至新思科技活動頁面填寫報名表 [\(報名網址\)](#)。

活動費用：活動全程免費

抽獎活動：全程出席並填寫活動回饋問卷，有機會參加現場抽獎，並得到新思精美禮品。

報名期限：即日起至8月22日（四）晚上11:59分止（報名成功通知將統一於8月23日下午6:00點前以email發送）。

活動議程

113年8月29日(四) - 上午

時間	活動內容	主講者
9:30 – 10:00	報到	
10:00 – 10:20	開場 / 致詞	台灣新思科技 李明哲董事長 教育部先進製程IC設計人才培育計畫 蔡宗亨教授 台灣半導體研究中心 侯拓宏主任
10:20 – 11:10	專題演講 (1) : Physical Implementation Challenges and Solutions for FinFET Technology Nodes 40mins + 10mins (Q&A)	新思科技研發資深處長 陳東傑博士 主持人: 台灣半導體研究中心設計服務組陳麒旭組長
11:10 – 12:00	專題演講 (2) : IC Talent Cultivation and Strategy in the AI Era 40mins + 10mins (Q&A)	SiCADA IC學院總經理 伍自勇博士 主持人: 教育部先進製程IC設計人才培育計畫蔡宗亨教授
12:10 – 13:30	Lunch	
113年8月29日(四) - 下午		
13:30 – 16:00	技術工作坊 (1) : “Next-generation Solutions for Accelerating Digital Design Implementation in Advanced Node”	新思科技資深主任應用工程師 鍾易霖 新思科技資深應用工程師 石安傑 SiCADA IC學院協理 蕭仲容
	技術工作坊 (2) : “FinFET Challenges and Solutions for Analog Design”	新思科技資深主任應用工程師 陳慶鴻
16:00 – 16:20	問卷回收&抽獎活動	新思科技

- 兩場工作坊場次將同時併行，請擇一報名。

活動內容

時間	113年8月29日, 10:20 – 11:10
講題	Physical Implementation Challenges and Solutions for FinFET Technology Nodes
講者	新思科技研發資深處長 陳東傑博士
大綱	This presentation explores the critical physical implementation challenges associated with FinFET technology in both digital and custom design domains. We will discuss innovative solutions and advanced techniques to address these challenges, highlighting best practices in digital design automation and custom design optimization. Attendees will gain insights into overcoming the physical design bottlenecks and achieving optimal performance in FinFET designs.

時間	113年8月29日 · 11:10 – 12:00
講題	IC Talent Cultivation and Strategy in the AI Era (AI 時代的IC人才培育及佈局)
講者	SiCADA IC學院總經理 伍自勇博士
大綱	IC everywhere in the AI Era rides on the wave of Moore's law from the last few decades. The device becomes smaller, the design becomes larger, and the system continuously becomes more complex. The demand for EDA (Electronic Design Automation) solutions requires more automation, more intelligence, and more AI to fulfill IC design companies' need for better results in a shorter time to market most cost-effectively. The IC engineers require deeper knowledge, skills, and mindset to meet IC companies' design goals. In this talk, we will share with you SiCADA's approach to continuously strengthening talent cultivation to meet the needs of the IC industry today and in the future.

時間	113年8月29日 · 13:30 – 16:00
講題	技術工作坊 (1) : Next-generation Solutions for Accelerating Digital Design Implementation in Advanced Node
講者	新思科技資深主任應用工程師 鍾易霖 新思科技資深應用工程師 石安傑 SiCADA IC學院協理 蕭仲容
大綱	Achieving predictable convergence for RTL2GDS design on leading process nodes is taking more challenges than before. It is heavily dependent not only on design input collaterals quality but also EDA tool capabilities. Using Machine-Learning/AI-based design optimization, we can reduce the effort and turnaround time (TAT) for optimization of key design metrics and explore various tradeoffs. In this session, we will introduce how next-gen solutions to overcome those challenges and demo the power of AI in EDA tools to see how it can benefit your teams to innovate faster and more efficiently.

時間	113年8月29日, 13:30 – 16:00
講題	技術工作坊 (2) : FinFET Challenges and Solutions for Analog Design
講者	新思科技資深主任應用工程師 陳慶鴻
大綱	In the past few years, artificial intelligence (AI) has become a prominent subject. Since the advent of ChatGPT, many new types of product applications have sprung up. With the increasing popularity of high-performance computing (HPC), more IC design companies are using FinFET structures to design products. Compared with the previous Planner architecture, FinFET architecture can greatly improve the short-channel effect and continue the Moore's Law. However, because of the new 3D/FinFET structures, analog design has become more complex, and fabrication drift has become more severe. In this workshop, we will share with you how the industry uses Custom Compiler to increase the circuit quality and performance of FinFET designs.

講者介紹



陳東傑(Donnie Chen) / 研發資深處長

現任: 新思科技 研發資深處長

經歷: 曾任至達科技執行長、思源科技及新思科技研發經理, 於2023年獲得國家傑出資訊人才獎、2021年獲得 DAC Under-40 Innovator Award。專長為積體電路實體設計自動化, 目前於新思科技擔任研發資深處長並領導一個數位實體設計研發團隊。



伍自勇(Yung Wu) / 總經理

現任: SiCADA IC學院 總經理

經歷: 曾任美國新思科技工程副總裁、研發資深總監, 以及AVANT! CORP產品研發經理等職務。任職半導體設計軟體產業逾30年的職涯中, 伍博士歷經新創產業及大型企業洗禮, 擁有完整技術研發、客戶支援及在職培訓等經驗。其專業包含產品策略、市場開發、技術創新, 擅長領導團隊建立完善解決方案、支援客戶成功研發產品, 帶領公司業務成長。



鍾易霖 (Thomas Chung) / 資深主任應用工程師

現任: 新思科技資深主任應用工程師

經歷: 擁有近15年實體設計實作與諮詢工作經驗, 具備複雜晶片 Tape-out 相關經驗 (N6/N7/N12/N16/N22/N28/N40/U22/U28/U40/U55), 熟悉市面上主要 APR 及 STA 工具解決方案, 例如 Synopsys.ai、DSO.ai、Fusa Automotive Flow、IC Compiler、IC CompilerII、Fusion Compiler、StarRC、PrimeTime, 並且擁有 HPC Core 實作經驗 (N6/A76、N12 A73/A76、N22 A53/A55)。



石安傑 (An Jie Shih) / 資深應用工程師

現任: 新思科技資深應用工程師

經歷: 台灣科技大學電機系碩士，曾任台灣積體電路有限公司APR工程師，現任新思科技資深應用工程師，專長為自動化佈局與繞線。



陳慶鴻(Kenny Chen) / 資深主任應用工程師

現任: 新思科技 資深主任應用工程師

經歷: 現任新思科技資深主任應用工程師，擁有超過10年的類比、混合訊號和電源管理 IC 設計的經驗。在過去7年裡，工作重點為Custom Compiler及Laker等主要新思解決方案的推廣、故障排除和技術後期支援。陳慶鴻目前領導一個服務新興客戶和大學專案的團隊。



蕭仲容(Charles Hsiao) / 協理

現任: SiCADA IC學院 協理

經歷: 曾任實體設計師工程師，處理內部和客戶設計專案，並重點關注先進節點製造流程上的整體設計流程 PPA 和 EDA 工具。擁有以客戶為中心的介面與設計專案實施經歷。曾於 Synopsys 與客戶一起從事高階節點設計流程，於 IBM、TI 和 LSI Logic 擔任實體設計工程師，負責從佈局規劃到最終流片的整個過程中與客戶設計團隊的溝通。

注意事項

- 請參加者自備水杯、筆電（非必須），如有大量上網需求，需自行使用手機網路熱點。
- 主辦單位保留變更本研討會內容、講題、時間安排等權利，資訊如有異動，以網站更新公告為準 [\(報名網站\)](#)。
- 主辦單位保留報名篩選機制權利，請以收到報名成功email為準，敬請留意信箱信件。
- 主辦單位將於會議中拍照及錄音、錄影，報名研討會視同授權並同意主辦單位得刊登、發表、公開傳輸、上映及重製上述之內容，並得視需要，在不變更出席者原意下，予以編輯、刪節或其他必要之修改。



活動聯絡方式：tw-up@synopsys.com